

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-182855  
(43)Date of publication of application : 21.07.1995

---

(51)Int.CI. G11C 11/401  
G11C 29/00

---

(21)Application number : 05-328341 (71)Applicant : SONY CORP  
(22)Date of filing : 24.12.1993 (72)Inventor : YAMANE TAKETOSHI

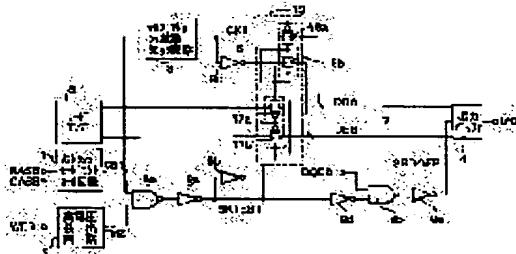
---

(54) SEMICONDUCTOR STORAGE AND METHOD FOR INSPECTING IT

(57)Abstract:

PURPOSE: To provide a semiconductor storage loading a self refresh control function capable of taking out a reference clock related to self refresh from the outside and shortening a measuring time for evaluating a DRAM.

CONSTITUTION: A self refresh reference clock circuit 3 is started by a refresh command. The reference clock CK1 generated from the self refresh reference clock circuit 3 is supplied to a data bus 6 of a monitor object by an input of a monitor command to be outputted from an input/output port I/O through monitor object gates 16a, 16b.



Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-182855

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl.<sup>6</sup>  
G 11 C 11/401  
29/00

識別記号 303 E 6866-5L

F I

技術表示箇所

G 11 C 11/34 371 A

審査請求 未請求 請求項の数3 O L (全6頁)

(21) 出願番号 特願平5-328341

(22) 出願日 平成5年(1993)12月24日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山根 武敏

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

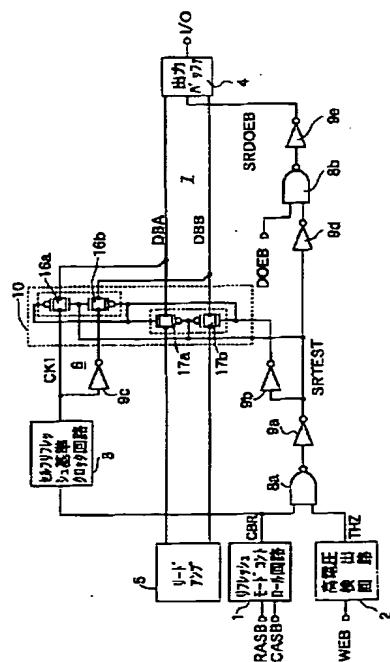
(74) 代理人 弁理士 小池 晃 (外2名)

(54) 【発明の名称】 半導体記憶装置及び半導体記憶装置の検査方法

(57) 【要約】

【目的】 外部よりセルフリフレッシュに関する基準クロック取り出すことができると共に、DRAMの評価を行うまでの測定時間の短縮を図ることができるセルフリフレッシュ制御機能を搭載した半導体記憶装置を提供する。

【構成】 リフレッシュ指令により、セルフリフレッシュ基準クロック回路3を起動し、このセルフリフレッシュ基準クロック回路3からの発生した基準クロックCK1を、モニター指令の入力により、モニター対象のデータバス6へ供給し、活性化回路を介して入出力ポートI/Oより出力する。



1

## 【特許請求の範囲】

【請求項1】 振発性メモリが複数に配列されたメモリセル部と、リフレッシュ指令に基いて、振発性メモリに対するリフレッシュ動作のための、クロックを出力する基準クロック発生回路を有する半導体記憶装置において、

モニター指令とリフレッシュ指令に基いて、基準クロックを、モニター対象のデータバスに供給する基準クロック供給回路と、

モニター指令とリフレッシュ指令に基いて、モニター対象のデータバスと入出力ポートとを接続する活性化回路を有することを特徴とする半導体記憶装置。

【請求項2】 モニター指令とリフレッシュ指令に基いて、モニター対象のデータバスを、読み出し用のデータバスから論理的に切り離す、切り離し回路を有することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 リフレッシュ指令及びモニター指令の入力に基いて、基準クロックを入出力ポートを介して出力させ、入出力ポートから出力される基準クロックをモニタリングしながらリフレッシュ動作を行い、半導体記憶装置を検査することを特徴とする半導体記憶装置の検査方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、リフレッシュ制御機能が必要であるダイナミック形振発性メモリを有する半導体記憶装置（以降、DRAMと称す）に関し、特にCBRセルリフレッシュ制御機能を搭載したDRAM、及び、CBRセルリフレッシュ制御機能を搭載したDRAMの検査方法に関する。

## 【0002】

【従来の技術】 一般に、DRAMは、メモリセル内の容量に蓄積された電荷の消えてゆくまでの過渡的な記憶であり、例え電源電圧は印加されていても、蓄積された電荷は接合部分や絶縁膜等におけるリーク電流により、次第に放電してしまう。したがって、DRAMは、記憶を保持し続けるために、適時電荷を注入する動作、即ち、リフレッシュ動作が必要であるという特徴を持っている。

【0003】 このDRAMにおいてのリフレッシュ動作は、一般に、読み出し動作後再度書き込みを行う必要があるため、メモリの読み出し／書き込み動作と同時に行われている。通常メモリの構成上、1個のセンス増幅器で1個のセルが、再書き込みが可能であるので、センス増幅器に接続されているメモリセルの個数分を順次リフレッシュを繰り返す必要がある。従って、1つのメモリセルに対し、リフレッシュをデータ保存時間内に1度以上行う必要がある。

【0004】 代表的なリフレッシュ機能として、RASオンリーリフレッシュ機能や、CBRリフレッシュ機能

10

2

能、CBRセルリフレッシュ機能などがある。

【0005】 特に、CBRセルリフレッシュ機能は、セルリフレッシュモードに入ったら、ある一定時間ごとに自動的にリフレッシュ動作を行う上、内部のリフレッシュアドレスカウンタも自動的に順次カウントアップする。このため、RASオンリーリフレッシュ機能やCBRリフレッシュ機能を搭載したDRAMのように、リフレッシュ動作を、ある時間内にある回数行うということを気にすることなく使え、また消費電流も少ないため使用者にとっては好適である。

【0006】 従来のCBRセルリフレッシュ機能付きDRAMでは、リフレッシュ機能とデータバス、出力バッファは、図3に示すように、リフレッシュモードコントロール回路1と、セルリフレッシュにおける基準クロックを発生させるセルリフレッシュ基準クロック回路3と、出力バッファ4と、リードアンプ5とから構成される。

20

【0007】 通常、CBRセルリフレッシュを行う場合、端子RASからの信号を供給する前に、先に端子CASよりLOWレベルの信号を供給すると、上記リフレッシュモードコントロール回路1よりHIGHレベルの信号（CBR="H"）が输出される。上記セルリフレッシュ基準クロック回路3は、上記リフレッシュモードコントロール回路1からの信号CBR="H"により活性化され、基準クロックCK1を出力する。DRAMは、この基準クロックCK1を基準にして、ある周期ごとにリフレッシュ動作を繰り返し行う。

30

【0008】 一方、リフレッシュ動作モードに入ると、リードアンプ5、出力バッファ4は、HIGHレベルの信号（DOEB="H"）となっており非活性化され、入出力ポートI/Oは、ハイ・インピーダンス状態となり、何も出力されない。

## 【0009】

【発明が解決しようとする課題】 このように、上述のDRAMは、入出力ポートから基準クロックを取り出すことができなかった。このため、セルリフレッシュ機能を搭載したDRAMの検査を行う上において、（1）個々のチップのデータ保持時間を測定するテストと、（2）チップに"0"又は"1"を書き込み、データ保持時間以上の間セルリフレッシュ機能を動作させるテストと、（3）データの読み出しを行い、読み出したデータを調べるテスト、等のテスト項目が必要となり、測定時間の増大につながっている。

40

【0010】 本発明は、上述の問題点に鑑み成されたものであり、外部よりセルリフレッシュに関する基準クロック取り出すことができると共に、DRAMの評価を行う上で測定時間の短縮を図ることができるセルリフレッシュ制御機能を搭載したDRAM、及び、セルリフレッシュ制御機能を搭載したDRAMの検査方法の提供を目的とする。

## 【0011】

【課題を解決するための手段】本発明に係る半導体記憶装置は、揮発性メモリが複数に配列されたメモリセル部と、リフレッシュ指令に基いて、揮発性メモリに対するリフレッシュ動作のための、クロックを出力する基準クロック発生回路を有する半導体記憶装置において、モニター指令とリフレッシュ指令に基いて、基準クロックを、モニター対象のデータバスに供給する基準クロック供給回路と、モニター指令とリフレッシュ指令に基いて、モニター対象のデータバスと入出力ポートとを接続する活性化回路を有することを特徴とする。

【0012】また本発明に係る半導体記憶装置は、モニター指令とリフレッシュ指令に基いて、モニター対象のデータバスを、読み出し用のデータバスから論理的に切り離し回路を有することを特徴とする。

【0013】さらに本発明に係る半導体記憶装置の検査方法は、リフレッシュ指令及びモニター指令の入力に基いて、基準クロックを入出力ポートを介して出力させ、入出力ポートから出力される基準クロックをモニタリングしながらリフレッシュ動作を行い、半導体記憶装置を検査することを特徴とする。

## 【0014】

【作用】本発明に係る半導体記憶装置では、リフレッシュ指令により、セルリフレッシュ基準クロック回路を起動し、このセルリフレッシュ基準クロック回路からの発生した基準クロックを、モニター指令の入力により、モニター対象のデータバスへ供給し、活性化回路を介して入出力ポートより出力する。また、モニター指定とリフレッシュ指令に基いて、切り離し回路により、モニター対象のデータバスを読み出し用のデータバスから論理的に切り離す。

【0015】さらに本発明に係る半導体記憶装置の検査方法では、リフレッシュ指令及びモニター指令により、基準クロックが入出力ポートを介して出力する。入出力ポートから出力される基準クロックをモニタリングしながらリフレッシュ動作を行い、半導体記憶装置を検査する。

## 【0016】

【実施例】以下、本発明に係る半導体記憶装置の好適な実施例を図面を参照しながら説明する。

【0017】図1に示す本発明の実施例に係るDRAMは、リフレッシュモードコントロール回路1、高電圧検出回路2、基準クロック回路3、出力バッファ4、リードアンプ5、モニター対象のデータバス6、読み出し用のデータバス7、モニター対象のデータバス6上のモニター対象ゲート16aとモニター対象ゲート16b、読み出し用データバス7上の読み出し用ゲート17aと読み出し用ゲート17b、上記モニター対象のデータバス6上のモニター対象ゲート16aとモニター対象ゲート16bと、上記読み出し用のデータバス7上の読み出し用ゲート1

10

20

30

40

50

7aと読み出し用ゲート17bから構成されている切り離し回路10、 NANDゲート8a～8b、インバータ9a～9eから構成される。

【0018】上記リフレッシュモードコントロール回路1は、 NANDゲート8aと基準クロック回路3に各々接続されている。上記リフレッシュモードコントロール回路1は、端子RASと端子CASにより各々LOWレベルの信号が供給されるとHIGHレベルの信号を出力する回路である。

【0019】上記リードアンプ5は、読み出し用ゲート17aと読み出し用ゲート17bに、読み出し用データバス7によって各々接続されている。また、読み出し用ゲート17aと読み出し用ゲート17bは、出力バッファ4に、読み出し用データバス7によって各々接続されている。

【0020】上記基準クロック回路3は、モニター対象ゲート16aとインバータ9cを介してモニター対象ゲート16bに、各々モニター対象のデータバス6によって接続されている。上記基準クロック回路3に、HIGHレベルの信号が供給された場合、上記基準クロック回路3は活性化され基準クロックを発生する回路である。また、モニター対象ゲート16aは、読み出し用ゲート17a上の読み出し用のデータバス7に接続されており、モニター対象ゲート16bは、読み出し用ゲート17b上の読み出し用のデータバス7に接続されている。この読み出し用データバス7との接続位置は、上記読み出し用のデータバス7により読み出し用ゲート17aと読み出し用ゲート17bとを介して接続されている、上記リードアンプ5と上記出力バッファ4間ににおいて、上記出力バッファ4側に接続されている。

【0021】出力イネーブル信号(DOE)は、 NANDゲート8bへ接続されており、DOEにより、出力バッファ4を制御する。上記 NANDゲート8bはインバータ9eを介して上記出力バッファ4へと接続されている。

【0022】上記高電圧検出回路2は、 NANDゲート8aに接続されており、高電圧が供給された場合、高電圧がかかったことを検出しHIGHレベルの信号を出力する回路である。上記 NANDゲート8aは、インバータ9aを介して、インバータ9bとインバータ9dに各々接続されている。また、インバータ9bは読み出し用ゲート17bに接続されており、インバータ9dは NANDゲート8bに接続されている。

【0023】上記切り離し回路10は、モニター対象ゲート16aとモニター対象ゲート16bと、読み出し用ゲート17aと読み出し用ゲート17bとから構成されている。上記モニター対象ゲート16aとモニター対象ゲート16bは、インバータ9aからの出力信号が各々に供給されるように接続されている。これにより、上記モニター対象ゲート16aと上記モニター対象ゲート16bは、HIGHレベルの信号を供給した場合に、閉じら

れ、LOWレベルの信号を供給した場合に開かれる。また、上記読み出し用ゲート17aと上記読み出し用ゲート17bは、インバータ9aからの出力信号がインバータ9bを介して反転された信号が各々に供給されるように接続されている。これにより、上記モニター対象ゲート16aと上記モニター対象ゲート16bは、HIGHレベルの信号を供給した場合に、閉じられ、LOWレベルの信号を供給した場合に開かれる。即ち、上記モニター対象ゲート16aと上記モニター対象ゲート16bと、上記読み出し用ゲート17aと上記読み出し用ゲート17bは相反的な状態となるように構成としている。

【0024】通常、CBRセルフリフレッシュ動作を行う場合、端子RASへ信号を供給する前に、先に端子CASよりLOWレベルの信号を供給すると、上記リフレッシュモードコントロール回路1よりHIGHレベル(CBR="H")の信号が出力される。上記セルフリフレッシュ基準クロック回路3は、上記リフレッシュモードコントロール回路1からの信号CBR="H"により活性化され、即ち、CBRリフレッシュ動作が行われ、基準クロックCK1を出力する。この出力信号CK1は、CK1とインバータ9cにより反転された信号と分けられる。

【0025】一方、端子WEへはLOWレベル又はHIGHレベルの信号が供給されており、高電圧検出回路2からはLOWレベル(THZ="L")の信号が出力される。上記各出力信号CBR="H"とTHZ="L"は NANDゲート8aとインバータ9aを介して、LOWレベルの信号(SRTEST="L")が出力される。上記出力信号SRTEST="L"はインバータ9bにより、SRTEST="L"とその反転信号に分けられる。SRTEST="L"の反転信号により読み出し用ゲート17aと読み出し用ゲート17bは開かれた状態となり、SRTEST="L"によりモニター対象ゲート16aとモニター対象ゲート16bは閉じられた状態となる。

【0026】上記信号SRTEST="L"はインバータ9d介してHIGHレベルの信号となり、NANDゲート8bへ供給される。この時出力イネーブル信号DOEBは、セルフリフレッシュモードの間HIGHレベルの信号となっており上記NANDゲート8bへ供給される。NANDゲート8bからは、LOWレベルの信号が出力され、インバータ9eを介してHIGHレベルの信号(SRDOEB="H")が出力され出力バッファ4へ供給される。上記出力バッファ4はSRDOEB="H"により活性化されていない状態となる。

【0027】ここで、モニター対象ゲート16aとモニター対象ゲート16bは閉じられた状態となっているので、基準クロック回路3から出力された信号CK1とインバータ9cにより反転されたCK1の反転信号は、モニター対象ゲート16aとモニター対象ゲート16bを

介して出力バッファ4へは供給されない。

【0028】従って、読み出し用ゲート17aと読み出し用ゲート17bは開かれた状態、モニター対象ゲート16aとモニター対象ゲート16bは閉じられた状態となっているため、また、出力バッファ4は活性化されていないため、何も出力されない。

【0029】しかし、本例においては、上記CBRリフレッシュ動作中に端子WEに高電圧(約7V)を供給する。

【0030】尚、端子RAS、端子CAS、端子WE、出入力ポートI/Oの各端子に供給される信号のタイミングチャートを図2に示す。

【0031】まず、端子RASへ信号を供給する前に、先に端子CASよりLOWレベルの信号を供給すると、上記リフレッシュモードコントロール回路1よりHIGHレベル(CBR="H")の信号が出力される。上記セルフリフレッシュ基準クロック回路3は、上記リフレッシュモードコントロール回路1からの信号CBR="H"により活性化され、基準クロックCK1を出力する。この出力信号CK1は、CK1とインバータ9cにより反転された信号とに分けられる。この上記基準クロックCK1を基準にして、ある周期ごとにリフレッシュを繰り返し行う。

【0032】一方、端子WEへ高電圧(約7V)を供給する。高電圧検出回路2は高電圧がかかったことを検出して、HIGHレベルの信号(THZ="H")を出力する。上記各出力信号CBR="H"とTHZ="H"はNANDゲート8aとインバータ9aを介して、HIGHレベルの信号(SRTEST="H")が出力される。上記出力信号SRTEST="H"はインバータ9bにより、SRTEST="H"とその反転信号に分けられる。SRTEST="H"の反転信号により読み出し用ゲート17aと読み出し用ゲート17bは閉じられた状態となり、SRTEST="H"によりモニター対象ゲート16aとモニター対象ゲート16bは開かれた状態となる。

【0033】上記信号SRTEST="H"はインバータ9d介してHIGHレベルの信号となり、NANDゲート8bへ供給される。この時出力イネーブル信号DOEBは、HIGHレベルの信号(DOEB="H")を上記NANDゲート8bへ供給する。NANDゲート8bからは、HIGHレベルの信号が出力され、インバータ9eを介してLOWレベルの信号(SRDOEB="L")が出力され出力バッファ4へ供給される。上記出力バッファ4はSRDOEB="L"により活性化された状態となる。尚、上記NANDゲート8bへ供給される上記出力イネーブル信号DOEBがLOWレベルの信号(DOEB="L")の場合でも、上記出力バッファ4はSRDOEB="L"により活性化された状態となる。

【0034】この時、読み出し用ゲート17aと読み出し用

ゲート17bは閉じられた状態、モニター対象ゲート16aとモニター対象ゲート16bは開かれた状態となっており、また、出力バッファ4は活性化されているため、上記基準クロックCK1が入出力ポートI/Oより出力される。

【0035】尚、RAS信号の前にCAS信号”L”を端子CASへ印加することにより、CBRモードに入り通常のCBRリフレッシュを1回行うが、端子RASと端子CASの各端子に、ある一定時間(100μsec)印加し続けることにより、セルフリフレッシュモードとなり、自動的にリフレッシュが行われる。また、セルフリフレッシュ基準クロック回路3は、CBRモードに入ると起動し始めるので、セルフリフレッシュモードに入る前でも、端子WEに高電圧(約7V)を与えると入出力ポートI/Oより基準クロック周期をモニタリングすることができる。

【0036】上述のように、本例によれば、CBRリフレッシュ動作を1回行い、セルフリフレッシュ基準クロック回路を起動させ、リフレッシュ中に高電圧を与えることにより、セルフリフレッシュに関する基準クロックが入出力ポートより出力することができる。また、上記切り離し回路を用いることにより、読出し用ゲート17aと読出し用ゲート17bは、モニター対象ゲート16aとモニター対象ゲート16bに対して相反的な状態となるために、リフレッシュ動作におけるメモリデータの入出力と混乱することなく基準クロックを取り出すことができる。

### 【0037】

【発明の効果】本発明に係る半導体記憶装置では、リフレッシュ指令により、セルフリフレッシュ基準クロック回路を起動し、このセルフリフレッシュ基準クロック回路からの発生した基準クロックを、モニター指令の入力により、モニター対象のデータバスへ供給し、活性化回路を介して入出力ポートより出力するので、セルフリフレッシュに関する基準クロックが入出力ポートより出力することができる。これにより、外部よりセルフリフレッシュに関する基準クロックをモニタリングすることができ、セルフリフレッシュ制御機能を搭載したDRAMの検査を行うまでの測定時間の短縮を図ることができる。

【0038】また、本発明に係る半導体記憶装置では、モニター指令とリフレッシュ指令に基いて切り離し回路により、モニター対象のデータバスを、読出し用のデータバスから論理的に切り離すので、入出力ポートからセ

ルフリフレッシュに関する基準クロックを、リフレッシュ動作におけるメモリデータの入出力と混乱することなく、取り出すことができる。

【0039】また、本発明に係る半導体記憶装置の検査方法によれば、入出力ポートから出力される基準クロックをモニタリングすることにより、セルフリフレッシュ回路の核となる基準クロック回路の動作確認が容易となる為、測定プログラム中に基準クロック周期のテスト項目を入れることで、基準クロック回路の不良によるセルフリフレッシュ不良を、DRAM検査の早い段階で発見でき、不良のあるチップを取り除くことができる。また、基準クロック周期を求めることができることにより、セルフリフレッシュ周期と必要最小限のデータ保存時間を求めることができる。さらに、個々のチップのリテンション特性がわかっていないれば、実際にセルフリフレッシュ動作を行わなくても、基準クロックにより求められた上記各値を基にして、セルフリフレッシュ不良を発見することができる。これにより、セルフリフレッシュ制御機能を搭載したDRAMの検査を行うまでの測定時間の短縮を図ることができる。

### 【図面の簡単な説明】

【図1】本発明の実施例に係る半導体記憶装置の要部構成を示す構成図である。

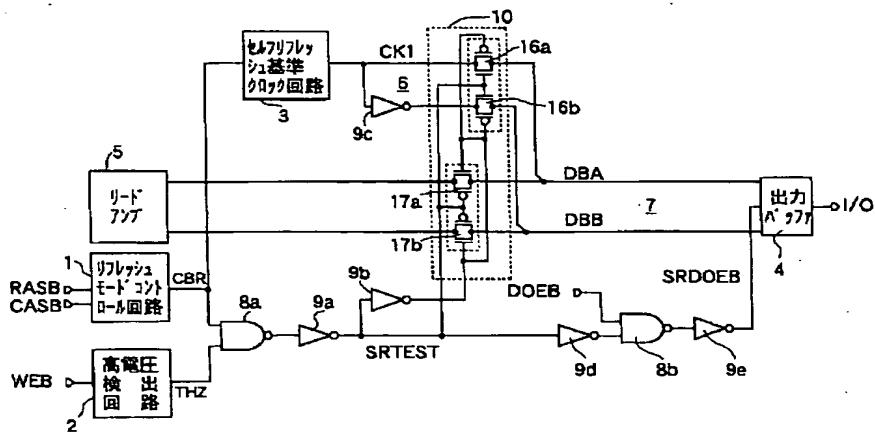
【図2】本発明の実施例におけるタイミングチャートを示す図である。

【図3】従来の半導体記憶装置の要部構成を示す構成図である。

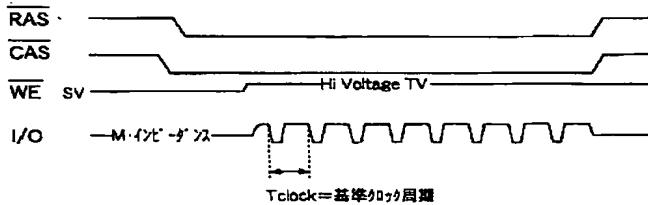
### 【符号の説明】

1	.....	リフレッシュモードコントロール回路
2	.....	高電圧検出回路
3	.....	セルフリフレッシュ基準クロック回路
4	.....	出力バッファ
5	.....	リードアンプ
6	.....	モニター対象のデータバス
7	.....	読出し用のデータバス
8a, 8b	.....	NANDゲート
9a~9e	.....	インバータ
10	.....	切り離し回路
16a, 16b	.....	モニター対象ゲート
17a, 17b	.....	読出し用ゲート

【図1】



【図2】



【図3】

